

TLC NAND 型フラッシュメモリにおける LDPC 符号に適したエラー分散技術の提案

中村 俊貴¹ 出口 慶明¹ 竹内 健¹

TLC NAND 型フラッシュメモリに用いられる誤り訂正符号の一つに LDPC 符号がある。LDPC 符号は高い誤り訂正能力を実現するが、バーストエラーが生じると誤り訂正能力が低下する。本論文では、バーストエラーの低減と TLC NAND 型フラッシュメモリにおいて最も信頼性が低いページの信頼性向上を同時に行う手法を提案する。提案手法を用いることでバーストエラーは 87% 低減し、データ保持時間は 2.6 倍増加した。

1. はじめに

大容量、低コストである triple-level cell (TLC) NAND 型フラッシュメモリに用いられる誤り訂正符号 (ECC) として、low-density parity-check (LDPC) 符号がある。LDPC 符号は繰り返し復号を行うことで高い誤り訂正能力を実現するが、バーストエラーによって訂正能力が低下する問題がある [1]。また、TLC NAND 型フラッシュメモリは一つのメモリセルに 3 ビットの情報を記憶するが、各データはそれぞれ Upper、Middle、Lower ページに保存される。通常 Upper、Middle、Lower ページの信頼性は異なり、信頼性の低いページから誤り訂正ができなくなる。一つのページで訂正が失敗するとそのブロックは不良ブロックと判断される。したがって、Upper、Middle、Lower ページの中で最も信頼性の低いページのエラー率を低減することが重要である。本論文では、メモリに書き込むデータの順番を変えることで、バーストエラーの低減と Upper、Middle、Lower ページのうち最も信頼性の低いページのエラー率の低減を同時に実現する手法を提案する [2]。

2. 提案の Error Dispersion Coding (EDC)

図 1 に TLC NAND 型フラッシュメモリのしきい値電圧分布を、図 2 に 1 ステートエラーと 2 ステートエラーの発生数の比較を示す。1 ステートエラーとは、G から F や F から E ステートのように、隣り合うしきい値電圧状態に変化するエラーである。一方、2 ステートエラーとは G から E や F から D ステートのように、2 つ先のしきい値電圧状態に変化するエラーである。図 2 より、3D NAND 型フラッシュメモリでは、2 ステートエラーの数は 1 ステートエラーの 1.8×10^{-5} 倍と非常に少ないことが確認できる。提案手法は 2 ステートエラーが極めて生じにくい特性を利用し、データの順番を変えることでバーストエラーを低減する手法である。

図 3 に提案手法である Error Dispersion Coding (EDC) のデータを書き込む順番を示す。従来のデータの順番では、同一ページ内に連続したデータを書き込む。それに対し提案の EDC では、メモリセル内の Lower、Middle、Upper ページに連続したデ

ータを書き込む。このようにデータの順番を変えることで、バーストエラーが生じる条件が変化する。図 4 に従来のデータの順番と提案の EDC において、バーストエラーが生じる各条件を示す。従来のデータの順番では、隣り合うメモリセルの同一ページ内にエラーが生じるとバーストエラーとなる。これは、1 ステートエラーが原因で生じる。一方、提案の EDC の場合、同一メモリセル内の隣り合うページにエラーが生じたとき、バーストエラーとなる。これは 2 ステートエラーが原因で生じる。2 ステートエラーの数は 1 ステートエラーよりも非常に少ないため (図 2)、提案の EDC によりバーストエラーの低減が期待できる。

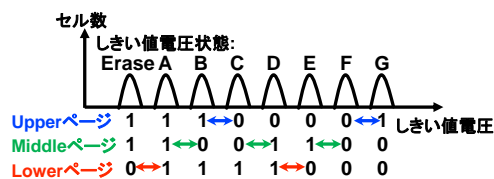


図 1 TLC NAND 型フラッシュメモリのしきい値電圧分布

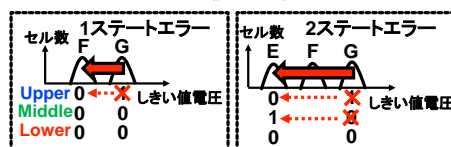


図 2 1 ステートエラーと 2 ステートエラーの発生数の比較 [2]



図 3 書き込むデータの順番の比較 [2]

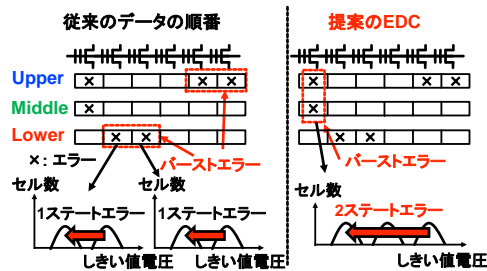


図4 バーストエラーが生じる条件 [2]

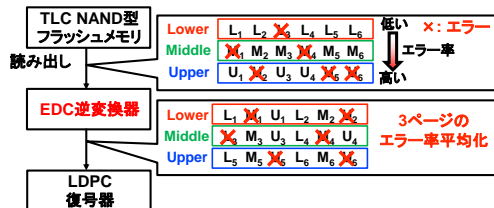


図5 読み出し時のデータの逆変換

またデータを読み出す際には、データの順番を元に戻す必要がある。このとき、各ページに保存したデータが分散されるため、Upper、Middle、Lower ページのエラー率が平均化される (図5)。結果として、3 ページの中で最も信頼性の低いページのエラー率を低減できる。

3. 解析結果

図6に提案のEDCを用いて実測した場合の各バースト長におけるエラー数を示す。バースト長とは何ビットの連続したエラーが生じたかを表すものである。図6より、バースト長が2の場合、提案のEDCを用いることでバーストエラーが87%低減することがわかる。さらにバースト長が3~5の場合、提案のEDCを用いるとバーストエラーが生じないことが確認できた。次に、Upper、Middle、Lower ページのエラー率を図7に示す。従来のデータの順番の場合、Upper ページのエラー率が高く、短時間でECCの訂正限界を超えてしまう。一方、提案のEDCを用いることでUpper、Middle、Lower ページのエラー率が平均化されるため、3 ページの中で最も信頼性の低い Upper ページのエラー率を40%低減することができた。

図8に提案のEDCを用いた場合のLDPC符号の復号結果を示す。なお、LDPC符号の復号器にはAEP-LDPC w/o upper/lower cells [3]を用いて評価を行った。提案のEDCを用いることで、訂正可能データ保持時間は2.6倍増加することを確認した。

4. 結論

本論文では、TLC NAND型フラッシュメモリの信頼性を向上させるためEDCを提案した。提案のEDCを用いることで、3D NAND型フラッシュメモ

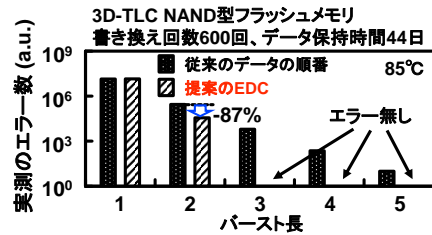


図6 各バースト長におけるエラー数の比較 [2]

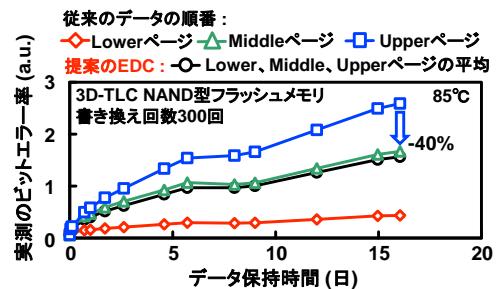


図7 Upper、Middle、Lower ページのエラー率の結果 [2]

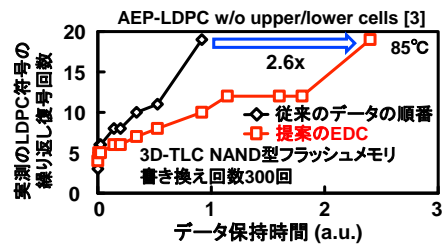


図8 訂正可能データ保持時間の比較 [2]

モリにおいて87%のバーストエラーを低減し、Upper、Middle、Lower ページの中で最も信頼性の低いページのエラー率を40%低減した。結果として、訂正可能データ保持時間は2.6倍増加した。

謝辞

本研究の一部は、JST、CRESTの支援(グラント番号JPMJCR1532)を受けたものである。

参考文献

- [1] T. Tokutomi et al., "17x Reliability Enhanced LDPC Code with Burst Error Masking and High-Precision LLR for Highly Reliable Solid-State-Drives with TLC NAND Flash memory," in *IEEE International Memory Workshop (IMW)*, pp. 133 - 136, May 2016.
- [2] T. Nakamura et al., "AEP-LDPC ECC with Error Dispersion Coding for Burst Error Reduction of 2D and 3D NAND Flash Memories" in *IEEE International Memory Workshop (IMW)*, pp. 28-31, May 2017.
- [3] T. Tokutomi et al., "Enterprise-Grade 6x Fast Read and 5x Highly Reliable SSD with TLC NAND Flash Memory for Big-Data Storage," in *IEEE International Solid-State Circuits Conference Dig. Tech. Papers*, pp. 140 - 141, Feb. 2015.