

FPGA による次世代メモリのエミュレーション機構の紹介

広瀬 崇宏

高野 了成*

1 はじめに

我々は、FPGA を用いた次世代メモリのエミュレーション機構を開発している。CPU からは通常の物理メモリとして見えるものの、DRAM とは異なるレイテンシや帯域幅を設定できる。また物理アドレス範囲ごとに異なるレイテンシや帯域幅も設定できる。DRAM と DRAM とは異なるメモリデバイスの両方から構成されるメインメモリ（ハイブリッド型メインメモリ）の性能特性を擬似的に再現できる。一般的に安価に入手可能な FPGA SoC を用いることで、研究者コミュニティにおいて誰でも容易に導入できるものを目指している。我々は先行発表 [7] において提案機構の予備的な試作について報告した。本ポスター発表では概要を紹介するとともに、その最新の開発状況を報告する。

2 背景

近年、DRAM とは異なる新たな動作原理に基づくメモリデバイスを計算機のメインメモリに導入する試みに注目が集まっている。DRAM は計算機のメインメモリとして長年用いられてきた。しかしその微細化が徐々に限界に近づきつつあり大容量化が鈍化している。一方、相変化メモリ (PCM) や磁気メモリ (MRAM)、抵抗変化メモリ (ReRAM) など新たなメモリデバイスの開発が進みつつある。新たなメモリデバイスをメインメモリに適用することで、その容量を飛躍的に増やせる可能性がある。

新たなメモリデバイスは一般に DRAM とは異なる性能特性を有する。例えば、Intel Optane Data Center Persistent Memory Module (DCPMM)

は、抵抗変化する記憶素子を用いており従来の DRAM よりも一桁大きい容量を提供するものの、我々の評価実験 [3] においてはそのレイテンシは DRAM よりも 4 倍程度大きく帯域幅は 3 分の 1 程度であった。またライトバックを伴う場合の書き込み帯域幅は DRAM の 10 分の 1 程度であった。計測環境が異なるため若干値が異なるものの、DRAM とは大きな性能差があることが他の研究者らからも報告されている [4, 6]。

DRAM と DRAM とは異なるメモリデバイスの両者を適切に使い分けることで、大容量のメインメモリを享受しつつ、計算機の処理性能を最大化できる。例えば、我々はハイブリッド型メインメモリ向けの仮想化システムソフトウェアを提案している [1, 2]。

将来登場するであろうメモリデバイスを想定して、このような新たなシステムソフトウェアの研究を行うためには、現在入手可能なメモリデバイスのみでは十分な評価が難しい。Optane DCPMM は一定の有用性を有するものの、そのレイテンシや帯域幅を変更する機能は有していない。システムソフトウェアの研究においては、ある提案する機構が、どのような性能特性を持つメモリデバイスに対して、どの程度有効性を示すのか定量的な検証が必要になる。想定するメモリデバイスのレイテンシや帯域幅を様々に変えて評価実験を行う必要がある。

我々は、先行研究 [5] において、ソフトウェアによるメモリレイテンシのエミュレーション機構を提案している。パフォーマンスカウンタから取得できるキャッシュミスの情報などに基づいて対象とするプログラムの実行速度を調整する。従来の DRAM を搭載した計算機を用いながらも DRAM よりもレイテンシが大きいメモリデバイスを用いた場合に伴う

* 国立研究開発法人 産業技術総合研究所。連絡先 E-mail: t.hirofuchi_at_aist.go.jp.

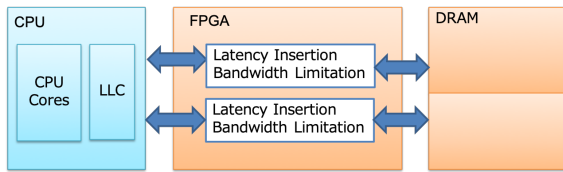


図 1 提案機構の概要

であろう性能低下を擬似的に再現する。比較的導入が容易である反面、パフォーマンスカウンタから取得できる情報は限られるため、今後主流になるであろうハイブリッド型メインメモリの再現が難しい。

3 提案機構

提案機構の概要を図 1 に示す。提案機構は FPGA に接続された DRAM を CPU に提供する。DRAM を CPU の物理アドレス空間にマップする。FPGA では DRAM に対するメモリコントローラを実装するとともに、エミュレーションするレイテンシや帯域幅に応じて CPU とメモリコントローラ間のデータ転送速度を調整する。紙面の都合上、詳細については先行発表 [7] を参照されたい。現在、Xilinx 社製の FPGA SoC 開発ボードである Zynq Ultrascale+ ZCU104 を用いてプロトタイプを実装しており、その状況についてポスター発表で報告する。

謝辞

本研究は科研費 19H01108 などの支援を受けている。

参考文献

- [1] Hypervisor-based virtualization for hybrid main memory systems. <https://github.com/takahiro-hirofuchi/raminate>.
- [2] Takahiro Hirofuchi and Ryousei Takano. RAMinate: Hypervisor-based virtualization for hybrid main memory systems. In *Proceedings of the Seventh ACM Symposium on Cloud Computing, SoCC '16*, pp. 112–125,

New York, NY, USA, 2016. ACM.

- [3] Takahiro Hirofuchi and Ryousei Takano. The preliminary evaluation of a hypervisor-based virtualization mechanism for Intel Optane DC persistent memory module. *CoRR*, Vol. abs/1907.12014, pp. 1–9, 2019.
- [4] Joseph Izraelevitz, Jian Yang, Lu Zhang, Juno Kim, Xiao Liu, Amirsaman Memaripour, Yun Joon Soh, Zixuan Wang, Yi Xu, Subramanya R. Dulloor, Jishen Zhao, and Steven Swanson. Basic performance measurements of the intel optane DC persistent memory module. *CoRR*, Vol. abs/1903.05714, pp. 1–60, 2019.
- [5] Atsushi Koshihara, Takahiro Hirofuchi, Ryousei Takano, and Mitaro Namiki. A software-based NVM emulator supporting read/write asymmetric latencies. *To appear in IEICE Transactions on Information and Systems*, Vol. E102-D, No. 12, pp. 1–12, Dec 2019.
- [6] Alexander van Renen, Lukas Vogel, Viktor Leis, Thomas Neumann, and Alfons Kemper. Persistent memory I/O primitives. *CoRR*, Vol. abs/1904.01614, pp. 1–7, 2019.
- [7] 広瀬崇宏, 高野了成. FPGA による次世代メモリのエミュレーション機構の試作. 研究報告ハイパフォーマンスコンピューティング (HPC), pp. 1–7. 情報処理学会, 2019.